

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297841
 (43)Date of publication of application : 28.10.1999

(51)Int.Cl.

H01L 21/82
 H01L 27/04
 H01L 21/822

(21)Application number : 10-102630

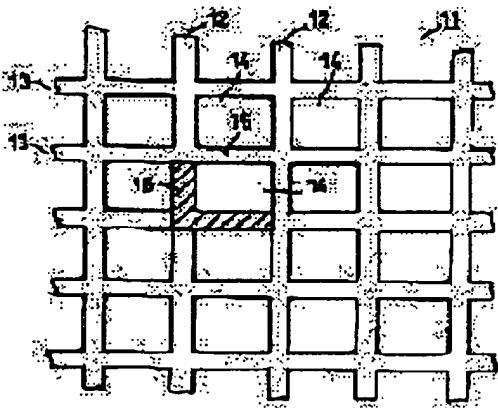
(71)Applicant : IWATE TOSHIBA ELECTRONICS KK
 TOSHIBA CORP

(22)Date of filing : 14.04.1998

(72)Inventor : IGARASHI YASUHIRO
 SASAKI HIROSHI**(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURE****(57)Abstract:**

PROBLEM TO BE SOLVED: To facilitate control of a covering ratio of a semiconductor integrated circuit using a CAD tool, and to realize the covering ratio in which the yield becomes optimum by providing an integrated circuit pattern and a dummy pattern having a lattice form which is formed in a region where a wiring density of the integrated circuit pattern is low.

SOLUTION: A lattice form dummy pattern 11 in a semiconductor integrated circuit comprises dummy wiring patterns 12 and 13 having mutually crossing stripe shapes and empty parts 14. When line widths of the dummy wiring patterns 12 and 13 shown by an L type oblique line part 16 are varied, while maintaining a part area enclosed by a frame 15 constant, an area ratio in which an area of a basic dummy pattern 15 is occupied by a part of the dummy wiring patterns 12 and 13 can be set at a required value. Therefore an area ratio in which whole area of the lattice form dummy patterns 11 is occupied by the area of the dummy wiring patterns 12 and 13 can be set at a required value.

**LEGAL STATUS**

[Date of request for examination] 28.06.2001

[Date of sending the examiner's decision of rejection] 04.11.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本特許庁 (JP)

(10) 公開特許公報 (A)

(11)特許公開公報番号

特開平11-297841

(43)公開日 平成11年(1999)10月28日

(51)発明の種類
H01L 21/82
27/04
21/822

発明の範囲

P'1
H01L 21/82
27/04

W
L
A

審査請求 反対請求 請求項の範囲 O.L (全7頁)

(21)出願番号 特表平10-102630

(71)出願人 000458150

岩手東芝エレクトロニクス株式会社
岩手県北上市北工場町地6番6号

(22)出願日 平成10年(1998)4月14日

(71)出願人 0000033076

株式会社東芝
神奈川県川崎市中原区姫川町72番地

(72)元明細 五十嵐 青弘

岩手県北上市北工場町地6番6号 岩手東
芝エレクトロニクス株式会社内

(72)元明細 佐々木 博

岩手県北上市北工場町地6番6号 岩手東
芝エレクトロニクス株式会社内

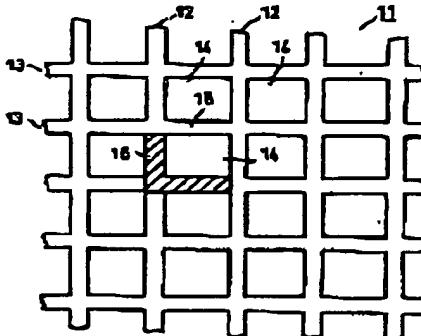
(74)代理人 井理士 大胡 真夫 (外1名)

(54)【発明の名称】半導体基板回路およびその製造方法

(57)【要約】

【課題】被覆率の制御、電位固定が容易なダミーパターンを用いた半導体基板回路およびその製造方法を提供すること。

【解決手段】半導体基板上に形成された差積回路パターン21、22と、この差積回路パターンの配線密度の低い領域に形成された格子形状のダミーパターン11とを備えたことを特徴とする格子形状のダミーパターンを配置した半導体基板回路。



(2)

特開平11-297841

2

1

【特許請求の範囲】

【請求項1】半導体基板上に形成された累積回路パターンと、この累積回路パターンの配線密度の低い領域に形成された格子形状のダミーパターンとを備えたことを特徴とする半導体累積回路。

【請求項2】電源配線および信号配線が多層構造に配線された累積回路パターンと、この累積回路パターンの配線密度の低い領域に形成された格子形状のダミーパターンと、このダミーパターンの一端を前記電源配線に接続する手段とを備えたことを特徴とする半導体累積回路。

【請求項3】請求項1または2において、前記格子形状のダミーパターンは、前記累積回路パターンとの交差部分では相互に接触しないように切削分離されていることを特徴とする半導体累積回路。

【請求項4】半導体基板上に累積回路パターンを形成するとともに、前記累積回路パターンの配線密度の低い領域にダミーパターンを形成する手段は累積回路の製造方法において、前記ダミーパターンとして格子形状のダミーパターンを用いるとともに、この格子形状のダミーパターンを構成する基本ダミーパターンの面積を一定に規制したまま、格子構造を増殖することにより、前記累積回路パターンの被覆率の調整を行うことを特徴とする半導体累積回路の製造方法。

【請求項5】請求項4において、前記半導体基板の面積をA、ダミーパターン形成領域の面積をB、前記半導体基板に対する目標被覆率をa%、前記半導体基板に対するダミーパターン形成領域の被覆率をb%、前記基本ダミーパターンの面積をS₁、前記基本ダミーパターンの実面積をS₂とするとき、関係式

$$(a - b) A / B = S_2 / S_1$$

を満たすように、前記格子形状のダミーパターンの横幅を決定することを特徴とする半導体累積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術】本発明は、半導体累積回路に用い、特に、マイクロコンピュータや各種のロジック回路を含む、所謂AS-IC累積回路に関する。

【0002】

【背景の技術】半導体累積回路、特にAS-ICと呼ばれる累積回路は、垂直分野に広く応用され、その垂直度は苦しい程度で高められている。このような高い垂直度の半導体累積回路の製造においては、半導体基板の表面に多層に形成される配線層や回路パターンの相対が半導体製造プロセスに影響を及ぼすことが知られている。すなわち、多層構造の半導体累積回路における各層のパターンによる半導体表面の被覆率が半導体累積回路表面の位置により変化することにより、半導体製造プロセスに影響を及ぼし、回路パターンの寸法精度が場所により異なる結果歩留まりが低下するという問題があった。

【0003】図4はこの回路パターンによる半導体表面の被覆率と歩留まりとの関係を示すグラフである。図の横軸Xは被覆率、縦軸Yは歩留まりを示す。このグラフから明らかなように、半導体累積回路の製造歩留まりは被覆率で示されるように被覆率により変化し、所定の被覆率の場合に歩留まりが最大、すなわち、図の水平線0で示される歩留まりになる。したがって、半導体累積回路の製造における歩留まりは、プロセスや装置によって歩留まりが被覆となる被覆率が存在することが分かる。

【0004】このため、従来のこの種の半導体累積回路においては、配線層の密度の低い半導体表面部分に、本文の配線パターンとは別にダミーパターンを形成し、配線層の相対を緩和することによりプロセスの安定化を図り、これによって歩留まりを向上させていた。このようなダミーパターンの形態としては、配線層の存在しない半導体表面領域全体を覆う広い面積の矩形パターンや、通常の配線パターンと同様に相互に独立したあるいは相互に連結されたストライプ状のパターンが用いられていた。図5(A)(B)は相互に連結されたストライプ状のダミーパターンの例を示す平面図である。

【0005】

【発明が解決しようとする課題】上述した従来のダミーパターンを用いた被覆率の調節手法は試行錯誤的なものであり、目標とする被覆率になるようにダミーパターンを生成することが困難であった。すなわち、従来のダミーパターンを用いて累積回路の配線密度の低い部分に発生させても、この発生させたダミーパターンによる被覆率を所望の値に調節する手段が確立されておらず、試行錯誤的に調節する以外に方法がなかった。

【0006】また、ダミーパターンを設ける場合、ダミーパターン層と累積回路を構成する配線層間に生じるカーブリング容量は、累積回路の特性に悪影響を生ずる恐れがある。これを回避するには、ダミーパターンを累積回路内の低レベルの電源電位に固定すれば良いが、配置されたダミーパターン全てを固定することは困難である。すなわち、ダミーパターン層は多層配線の同じレベルの層に存在する累積回路の配線層に交差する場合には、配線層に対して接触しないようにその部分で切削しなければならない。したがって分割された全てのダミーパターンの中には近くに累積回路の電源層が存在しないこともあり、この場合は電位の固定ができない。電位を固定できないダミーパターンは累積回路への影響を避けるために削除する必要があるが、これによって目標とする被覆率になるようにダミーパターンを発生させるのは困難となる。

【0007】このように従来、ダミーパターンを所望の被覆率を達成しつつ半導体表面の必要な領域に生成する作業は、主として熟練者の手作業に依存しており、CA

(3)

昭平11-287841

D技術を用いて生成することは、アルゴリズム的に困難であった。

【0008】さらに、広い面積のダミーパターンにより半導体表面積は全体を覆う場合、使用中に温度変化等により、クラックが生じるおそれがある。

【0009】したがって本発明は、上述したような従来のダミーパターンによる問題点を除去し、被覆率の制御、電位固定が容易で、クラックが生ずる恐れのないダミーパターンを用いた半導体集積回路およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の半導体基板回路は、半導体基板上に形成された集積回路パターンと、この集積回路パターンの配線密度の低い領域に形成された格子状のダミーパターンとを備えたことを特徴とするものである。

【0011】また、本発明の半導体基板回路は、電源配線および信号配線が多層構造に配置された集積回路パターンと、この集積回路パターンの配線密度の低い領域に形成された格子形状のダミーパターンと、このダミーパターンの一部を前記電源配線に接続する手段とを備えたことを特徴とするものである。

【0012】さらに反記本発明の半導体基板回路においては、前記格子形状のダミーパターンは、前記集積回路パターンとの交差部分では相互に接触しないように切削分離されていることを特徴とするものである。

【0013】本発明の半導体集積回路の製造方法は、半導体基板上に集積回路パターンを形成するとともに、前記集積回路パターンの配線密度の低い領域にダミーパターンを形成する半導体集積回路の製造方法において、前記ダミーパターンとして格子形状のダミーパターンを用いるとともに、この格子形状のダミーパターンを構成する基本ダミーパターンの面積を一定に保持したまま、格子線幅を増減することにより、前記集積回路パターンの被覆率の調整を行うことを特徴とするものである。

【0014】前記本発明の半導体集積回路の製造方法は、前記半導体基板の面積をA、ダミーパターン形成領域の面積をB、前記半導体基板に対する目視被覆率を α %、前記半導体基板に対するダミーパターン形成領域の被覆率を β %、前記基本ダミーパターンの面積をS_uとするとき、関係式

$$(a-b) A/B = S_u/S$$

を満たすように、前記格子形状のダミーパターンの根拠式

$$S_u = X^2 - Y^2$$

と表される。そして、基本ダミーパターン15内における

$$c = S_u/S = (X^2 - Y^2)/X^2$$

と表される。

【0020】今、仮に、 $X=100$ とすると、 $Y=10$ では $c=99\%$ 、 $Y=90$ では $c=2\%$ となる。したがって、空白部14の一辺の長さYを変化することによ

*を決定することを特徴とするものである。

【0015】

【発明の実施の形態】以下本発明の実施の形態を図面を用いて詳細に説明する。

【0016】図1は本発明に使用される格子状ダミーパターンを示す平図である。この格子状ダミーパターン11は水平方向および垂直方向に平行に配列され、かつ、相互に交叉する複数のストライプ状のダミー配線パターン12、13と、これらのダミー配線パターン12、13により囲まれる複数個の空白部14により構成されている。この格子形状のダミーパターン11は、また、図1の太線の約15で囲まれた部分のパターン（以下基本ダミーパターン15と呼ぶ。）を単位として、このパターン15を面積を常に連続することにより構成されている。すなわち、基本ダミーパターン15は、ダミー配線パターン12、13の一部であるL字型の翼端部16と空白部14とから構成されている。

【0017】ところで、基本ダミーパターン15はその面積、すなわち、約15で囲まれた部分の面積を一定にした上で、L字型の翼端部16で示されるダミー配線パターン12、13の横幅を変化することにより、基本ダミーパターン15の面積（以下基本ダミーパターンの占有面積という。）に対するダミー配線パターン12、13部分が占有する面積（以下基本ダミーパターンの表面積という。）の比率を所望の値に設定することができる。この結果、基本ダミーパターン15の場合は格子状ダミーパターン11全体についても、格子状ダミーパターン11全体が占める面積（以下ダミーパターンの占有面積という。）に対するダミー配線パターン12、13が占有する面積（以下ダミーパターンの表面積という。）の比率、すなわち、被覆率を所望の値に設定することができる。

【0018】次にこのように格子形状のダミーパターン11を用いて半導体集積回路の被覆率を制御する方法について具体的に説明する。

【0019】図2は格子状ダミーパターン11の構成単位である基本ダミーパターン15を示す図である。図2においては、計算を容易にするため、基本ダミーパターン15は一辺の長さをXとする正方形であり、ダミー配線パターン12、13の横幅は同一であり、空白部14も一辺の長さをYとする正方形とする。ここで基本ダミーパターンの表面積をS_u、基本ダミーパターンの占有面積をS_lとすると

(1)

求める被覆率cとすると、

(2)

り、基本ダミーパターン15内における被覆率cの値を0.2%から99%まで制御することができる。ところで、図2から明らかのように、ダミー配線パターン12、13の横幅はX-Yで与えられるため、Yを変化す

(4)

特開平11-297841

5
ることは、Xを一定と仮定すると、ダミー配線パターン12、13の幅はX-Yを変化することと等価である。

【0021】次に、半導体素子回路の製造プロセスにおいて、被覆率の調整のためにダミーパターンを形成する領域は、対象とする半導体素子回路の種類、回路パターンにより異なり、同一の半導体素子回路においても、互いに隔離された異なる形状および面積を有する複数の領域に形成することもある。このため半導体の特徴に因しては、先ず、ダミーパターンを形成する個々の領域の面積を求める必要がある。一例に、伝達の形状および面積を有する領域の面積を求めるためには、その領域に対し、十分に小さな面積の単位面積パターンをその領域に敷き詰め、敷き詰められた単位面積パターンの個数に無限面積パターンの面積を乗ることにより求めることができる。これは積分の概念の応用である。したがって、ダミーパターンの形態可変領域の面積を求めるためには、この領域内に配置可能な形状および面積の格子状ダミーパターン11を決定し、その中に含まれる基本ダミーパターン15の個数を計算し、これに基準ダミーパターンの占有面積Sを乗すればよい。そして格子状ダミーパターン11を構成する基本ダミーパターン15の被覆率

$$(a-b)/A = S_u/S \quad (3)$$

この式から基本ダミーパターン15の実面積S_uは

$$S_u = S \cdot (a-b)/A \quad (4)$$

次に、基本ダミーパターン15内の空部14の面積Y

*引いた値であるため、

2は基本ダミーパターン15の面積Sから実面積S_uを求

$$Y_2 = S \cdot (1 - (a-b)/A) \quad (5)$$

となる。前述のように、基本ダミーパターン15内のダ

ミー配線パターン12、13の幅はX-Yで与えられ★30

$$X-Y = X_{21/2} - Y_{21/2}$$

$$= S_{1/2} - S_{1/2} \cdot (1 - (a-b)/A) \cdot 1/2 \quad (6)$$

となる。

【0024】基本ダミーパターン15を一辺の長さXが★

$$X-Y = 300\mu m - 300\mu m$$

となる。同式中のa、b、A、BはCADツールにより容易に測定できるので、目標とする被覆率a%と現在の被覆率b%との差に応じて決定した。また、ダミーパターン形成領域は、第2層A1配線層における、配線密度の低い領域で、電源グランド配線パターンを除く集積回路を構成する配線パターンの幅部から3.2μm、馬蹄的には1.8μmの間隔を置いて格子状ダミーパターン11を配置することが可能な領域とした。このため、電源グランド配線パターンを除く集積回路パターンの幅部を3.8μm幅で、また、馬蹄的には1.9μm幅で拡大

*半を、ダミーパターンの形成領域において実現すべき目標被覆率となるように、基本ダミーパターン15内の空部14の一辺の長さYを選定する。

【0022】次に、一例として、A1の2層配線を用いた例えればマイクロコンピュータ集積回路において、第2層A1配線層の被覆率を所定の値に実現する設計プロセスを具体的に説明する。先ず、前提条件として、

第2層A1配線層の目標とする被覆率 a%

第2層A1配線層の現在の被覆率 b%

10 チップの面積 A

ダミーパターン形成領域の面積 B

基本ダミーパターンの面積 S

とする。チップの面積Aに対して、目標とする被覆率a%から現在の被覆率b%を引いた(a-b)%がダミーパターンより補充すべき被覆率であるが、これをチップの面積に換算すると(a-b)Aとなる。この面積(a-b)Aとダミーパターン形成領域の面積Bとの比率が基本ダミーパターン15の実面積S_uと基本ダミーパターンの占有面積Sとの比率が等しくなるように、すなわち、次式を満足するように基本ダミーパターン15を設計する。

【0023】

(3)

2は基本ダミーパターン15の面積S_uを求

(4)

2は基本ダミーパターン15の面積S_uから実面積S_uを求

(5)

となる。前述のように、基本ダミーパターン15内のダ

ミー配線パターン12、13の幅はX-Yで与えられ★30

$$X-Y = X_{21/2} - Y_{21/2}$$

= S_{1/2} - S_{1/2} \cdot (1 - (a-b)/A) \cdot 1/2 \quad (6)

☆300μmの正方形とすると、面積Sは90000μm²となり、(6)式は

$$= 300 \cdot 300 \cdot (1 - (a-b)/A) \cdot 1/2 \quad (7)$$

し、过大された部分はダミーパターン形成禁止領域とした。また、集積回路内のRAM等特定の回路部分についてもダミーパターン形成禁止領域とし、これらの禁止領域以外の領域の面積をダミーパターン形成領域の面積Bとした。

【0026】さらに、これらのダミーパターン形成領域に形成した格子状ダミーパターン11が集積回路の電源グランド配線パターンに接触しているか、この近傍に延長されており、コントラクトが取れる場合を除き、その領域の格子状ダミーパターン11は除去した。

【0027】図3は本発明の格子状ダミーパターンを実際の集積回路に適用した実施形態を示す平面図である。図3の実験回路はマイクロコンピュータ回路の一部であり、横方向に延長される多数の配線21は第1層のA1

配線である。また、縦方向に延長される配線22は第2

(5)

特開平11-297841

3

7
周のA1配線である。この第2層A1配線22と同じレベルの配線層には、格子状のダミーパターン11が配置されている。この実施形態においては、格子状のダミーパターン11を構成する横方向の配線パターン12は、基板回路を構成する第2層A1配線22と交差する部分23においては、相互に接触しないように切断除去されている。

【0028】格子状のダミーパターン11を構成する横方向の配線パターン13は、この配線パターン13と異なる第1層に配線された電源グラウンドA1配線24にスルーカールコンタクト25により接続されている。

【0029】格子状ダミーパターンの一部を、基板回路内で使用している電源配線の最も低い電位を有するグランド配線に接続すると、格子状ダミーパターンの基板回路部や配線に対するカップリングの影響を減少する効果がある。また、これにより電源線を流れる電流も、格子状ダミーパターンに流れ、キルヒホフの第一法则により、より小さな電流に分散されて計測する。電源端子からの絶対ノイズは端末に伝達するため、電源端子を越こす誤差が広くても、電流の変動が小さい方がノイズ²⁰

*対策上有利となるため、格子形状ダミーパターンは幅削ノイズ対策上でも有効な手段となる。

【0030】また、格子状ダミーパターンは一様分布可能で、しかも、パターンの遮断率がよいため、並列の段点においてもすぐれている。

【0031】本発明による格子状のダミーパターンを用いた半導体基板回路の被覆率は、CADツールを利用して精度良く行うことができる。本発明者は、2層A1配線構造の2種類のマイクロコンピュータチップについて自接被覆率を複数変化させて格子状のダミーパターンを形成処理し、處理後に形成された被覆率を測定した結果、下表のようになった。なお、2種類のうちのチップ1は、チップサイズが33486μm×36921μm、トランジスタ数が857K個であり、ダミーパターン処理前の第2層A1配線の被覆率は26.037%、チップ2は、チップサイズが50722μm×49020μm、トランジスタ数が1100K個、ダミーパターン処理前の第2層A1配線の被覆率は35.188%である。

【0032】

處理後被覆率 (%)

	チップ1 (%)	チップ2 (%)
27.000	27.241	--.--- (形成必要なし)
28.000	28.067	--.--- (形成必要なし)
30.000	30.093	--.--- (形成必要なし)
35.000	34.631	--.--- (形成必要なし)
36.000	35.590	38.004
37.000	36.576	38.760
40.000	39.370	40.890
43.000	42.261	43.481
46.000	45.208	45.838
47.000	46.179	46.740
50.000	49.105	--.--- (形成不能)
55.000	54.218	--.--- (形成不能)
58.000	57.863	--.--- (形成不能)

この表から、本発明による半導体基板回路の被覆率の制御は極めて高い精度を有することが明らかである。

【0033】なお、本発明は上記の実施形態に限定されるものでないことはいふまでもない。例えば、上述した実施形態においては、2層配線構造の基板回路の第2層配線レベルにダミーパターンを形成したが、1層構造の基板回路あるいは3層以上の基板回路に適用できることはいうまでもない。

【0034】また、上述した基本ダミーパターンはL型の配置パターン16と正方形の空白部14からなり、全周として正方形のパターンとして説明したが、このようなパターンに限定される必要はなく、空白部とその周囲に配置された配線部分とを離し、周囲左右への通り返し配列により格子状のダミーパターンを構成されれば、その形状は問わない。

【0035】

【発明の效果】以上説明したように、本発明によればダミーパターンの形状を格子形状にすることにより、CADツールを用いた半導体基板回路の被覆率の制御が容易となり、歩留まりが最適となる被覆率を容易に実現することができる。

【0036】また格子状のダミーパターンは連続性が良いため、ダミーパターン全体を電源線の低電位に固定することができるため、半導体基板回路とのカップリングの影響を防止でき、半導体チップとして良い特性が得られる。また、電源グラウンドのマッシュ化により、騒動ノイズを低減し、さらに熱放射も促進できる。

【0037】また、格子状のパターンはクラックにも強く、また、任意の2点間の遮断率が高く、特定の信号線としての用途の可能性もひめている。

(6)

特開平11-297841

9

10

【図面の簡単な説明】

【図1】本発明に使用されるダミーパターンを示す平面図である。

【図2】図1に示す格子状ダミーパターンの構成単位である苦室ダミーパターンを示す図である。

【図3】本発明のダミーパターンを実際の電路回路に適用した実施形態を示す平面図である。

【図4】従来の目詰パターンによる半導体表面の接線率と製造歩留まりとの関係を示すグラフである。

【図5】従来のダミーパターンの形状を示す平面図である。

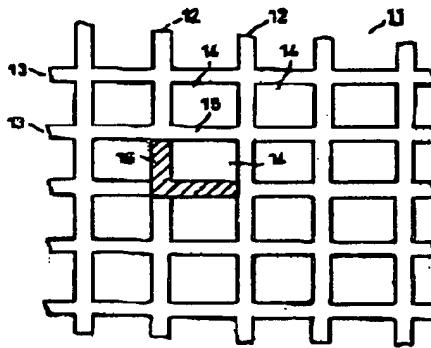
【符号の説明】

- * 11 格子状ダミーパターン
- 12 斜方向ダミー配線パターン
- 13 捲方向ダミー配線パターン
- 14 空白部
- 15 基本ダミーパターン
- 16 L字型の斜線部
- 21 第1層のA1配線
- 22 第2層のA1配線
- 23 交差部分
- 24 電源グランドA1配線
- 25 スルーホールコンタクト

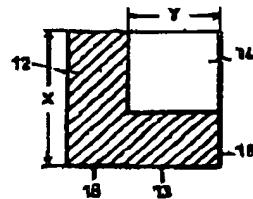
10

*

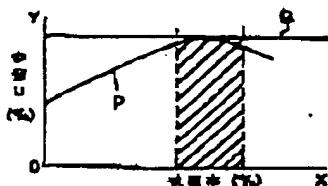
【図1】



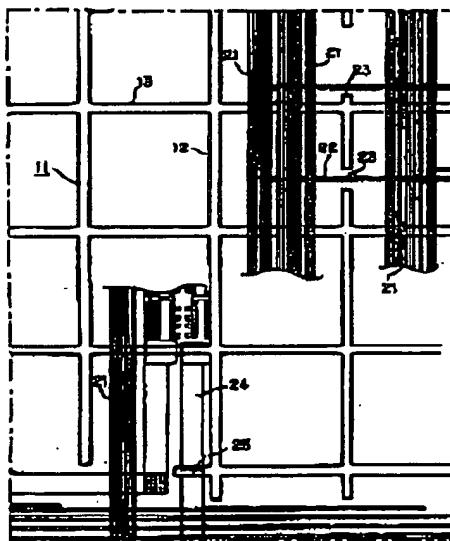
【図2】



【図4】



【図3】



(7)

特開平11-297841

(図5)

